

DOI:10.3969/j.issn.1003-0972.2016.04.026

低复杂度多功能自适应数字频率计设计

王 鹏^{1,2*}, 连帅彬¹, 孙秋菊¹, 钟莉娟¹

(1. 信阳师范学院 物理电子工程学院, 河南 信阳 464000;
2. 同济大学 通信软件及专用集成电路设计中心, 上海 200092)

摘要:利用高速运放和比较器实现输入弱小信号的放大及整形,采用 FPGA 完成对输入信号的精确频率测量.测量范围为 1 Hz~100 MHz,内部分成 5 个量程,可根据输入信号频率不同自动进行量程切换,并支持对方波的占空比及双通道同源方波时间间隔测量等功能.FPGA 测量结果经 MCS-51 单片机处理后送至 LCD 完成显示,测量相对误差不大于 10^{-4} ,可用于各类低成本数字测量仪器研发.

关键词:数字频率计;信号放大及整形;现场可编程门阵列

中图分类号:TM935.1 **文献标志码:**A **文章编号:**1003-0972(2016)04-0599-05

Low-complexity Multi-Function Adaptive Digital Frequency Meter Design

WANG Peng^{1,2*}, LIAN Shuaibin¹, SUN Qiuju¹, ZHONG Lijuan¹

(1. College of Physics & Electronics, Xinyang Normal University, Xinyang 464000, China;
2. Communication Software & ASIC Design Centre, Tongji University, Shanghai 200092, China)

Abstract: High-speed amplifier and comparator were adopted to complete waveform amplifying and reshaping. With FPGA as processing core, accurate frequency measurement of input signal can be obtained. 5 measurement scales were divided to support 1 Hz~100 MHz frequency measurement internally. Automatic scale switch was implemented, too. Furthermore, duty measurement of square wave, and time interval analysis of 2 homologous square wave all supported. MCS-51 microcontroller was utilized to complete final result calculation using FPGA's original measurement data, and these results were displayed via LCD. Corresponding relative measurement error was less than 10^{-4} . Presented design can be used for low-cost digital frequency meter design.

Key words: digital frequency meter; signal amplifying & reshaping; field programmable gate array

0 引言

数字频率计是电子测量最常用的仪器,目前其硬件实现方案有 2 种:基于微处理器的软件测量方案和基于现场可编程门阵列(FPGA)的硬件测量方案.前者主要采用处理器自带的定时器/计数器实现频率、周期测量^[1,2],开发难度较小,但由于处理器先天串行执行架构的特点,测量精度与实时性难以保证.此外还有部分微处理器方案采用 FFT 算法直接得到输入信号的频谱信息^[2],虽然结果更为精确,但 FFT 的运算量过大,一般只有专用 DSP 芯片才能胜任,同时还要使用高速 A/D 芯片完成模数转换,使整个系统的成本大大提高.与微处理器方案相比,另一种实现策略的核心是 FPGA 器

件,FPGA 包含大量的查找表和寄存器,且内部各模块之间可以并行工作,极大地增强了其处理能力.但 FPGA 存在代码量及开发难度较大,调试也更为困难等缺点.

随着现代测试需求的不断增加,频率计的功能也已不再单一,不少工程不仅要求能对 mV 级弱小信号进行可靠检测,还要支持方波占空比等功能,测量范围也越来越宽,某些精密测量领域更是对误差和输入幅度提出了十分苛刻的要求.本设计主要面向工业测试领域,输入信号幅度为 10 mV~1 V,频率范围达到 1 Hz~100 MHz,且支持占空比和双通道信号时间间隔测量功能,测量相对误差的绝对值不大于 10^{-4} .由于指标要求很高,使用

收稿日期:2015-11-02;修订日期:2016-07-01;*通信联系人,E-mail: pengpwn1985@163.com

基金项目:国家自然科学基金项目(61571386);河南省高等学校重点科研项目(15A510011);信阳师范学院青年骨干教师资助计划

作者简介:王鹏(1985-),男,河南太康人,高级工程师,博士,主要从事数字信号处理、可编程芯片设计研究.

传统的单片机难以保证测量精度,而 FPGA 则可以有效应对该问题,这也符合目前仪器仪表中后者应用更为广泛的实际情况^[3]。而且由于 FPGA 的并行独特优势,未来 FPGA 在电子仪器中的角色还将得到进一步加强^[4]。

为了达到指标要求,设计在模拟前端采用 OPA657 高速运放和 ADCMP561 比较器实现输入信号放大及整形,此后利用 FPGA 对输入波形进行频率、周期、占空比等测量,并由单片机作后续数据处理。

1 系统设计

该数字频率计的设计难点主要是前端小信号放大整形和后端的数字信号测量及处理,且需要支持脉冲占空比和双通道同频信号时间间隔测量等功能,实际上已经是一台功能比较完备的高精度宽带信号数字参数测量仪。

采用 FPGA 完成该频率计各项功能的数字测量从原理上完全可行,但由于 FPGA 难以直接完成浮点及除法复杂运算,而这些运算对测量结果显示是必不可少的,虽然可以使用 Nios II、Microblaze 等软核技术在 FPGA 内部构建 CPU,并通过软件编程的方式解决该问题^[5],但这种方案实质是通过耗费大量的可编程资源实现的。以 Altera 公司的 FPGA 为例,即使是最精减的 Nios II 内核也要占用近 1000 个 LE 和大量的片内 RAM^[6],而且构建的软核是典型的 RISC 架构 CPU,主频及处理能力均不占优势,再加上 FPGA 是一种相对高端的电子元件,利用宝贵的 LE 资源实现软核并不符合工程化理念。因此,软核技术虽然已经推出多年,但始终未成为 FPGA 设计的主流。近年来,Altera 和 Xilinx 公司也已经不再大力宣传各自的软核处理器,而是约而同地推出了功能更为强大、内嵌 ARM 硬核的 SoC 芯片,如 Altera 公司的 Arria 系列^[7]、Xilinx 公司的 Zynq 系列^[8]。当然,此类 SoC 刚推向市场不久,全面普及仍需时日,本设计采用的仍是传统的 FPGA 芯片,为了解决前述问题,在 FPGA 内部实现了一个异步串行模块,将测量得到的各种基础数据通过该模块发送至片外的单片机,由单片机进一步作相应的算术运算得到最终测量结果,并送至 LCD 显示。这样虽然增加了一颗芯片,但单片机的价格低廉,因此从总体上看,FPGA+单片机比 FPGA+软核方案更为可取。

1.1 放大整形模块设计

由于系统最小输入正弦波信号有效值仅为 10

mV,如此小的信号难以直接供比较器整形使用,而且设计对频带要求达到 1 Hz~100 MHz,必须先对其进行无失真放大,为此可使用具有极高带宽的高速运放,选用 TI 公司的 OPA657,该运放采用结型场效应管输入设计,增益带宽积达到了 1.6 GHz。利用 OPA657 运放组建同相放大电路,其放大增益设定为 26 dB,输入输出均采用 50 Ω 阻抗匹配以保证高频信号传输质量,原理图见图 1。

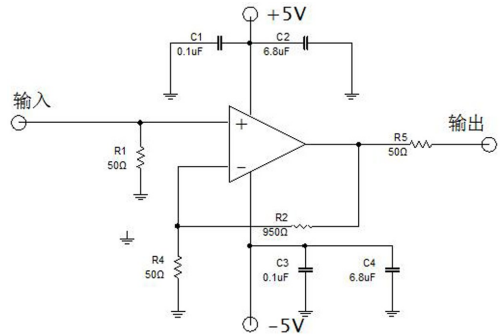


图 1 OPA657 同相放大电路原理图

Fig. 1 In-phase amplifier schematic with OPA657

输入小信号经过 OPA657 完成放大处理后,即可由过零比较器将其整形成标准方波,传统的比较器通常直接采用 TTL 单端数字逻辑电平输出,如 ADCMP601/602 等,但单端逻辑电平对高频信号的支持能力较弱,为此采用架构更为先进的差分电平输出比较器 ADCMP561 取代之,其接口逻辑为 PECL/LVPECL 电平,支持最高频率可达 800 MHz,而且具有很强的驱动能力,更重要的是,主流 FPGA 的 I/O 引脚可以方便地指定为 LVPECL 电平,可与 ADCMP561 实现无缝连接。

经过上述处理后,输入信号无论是正弦波还是方波,到达 FPGA 的端口信号均已经变为标准的 LVPECL 电平信号,利用图 1 所示原理图完成了相应的 PCB 制作,经测试表明,在增益为 26 dB 时,即使输入信号有效值低至 10 mV 仍可完成信号无失真放大与整形,且输入频率范围完全符合要求。

1.2 数字测量模块设计

该模块用于实现对输入信号周期/频率、时间间隔及占空比的测量,也是整个数字频率计的核心模块,选用 Altera 公司的 EP3C5E144 型 FPGA 作为硬件实现平台,该 FPGA 包含 5136 个 LE 和 2 个 PLL,用户最大可用 I/O 也达到了 95 个,是目前市面上比较常用的低成本中等规模 FPGA 芯片,并在片外配置一片 20 MHz 晶振提供工作时

钟,该时钟经过 FPGA 内部的 PLL 模块后,分别得到再生的 100 MHz 和 40 MHz 两路相参时钟,其中前者用于方波占空比测量,后者则用于其余模块。

首先完成对正弦波频率周期的测量。原理上,应对低频信号采用测周法,而对高频信号采用测频法,但由于输入信号频率变化很大,而且要求测量相对误差小,必须对整个频率范围进行合理的量程划分,并采用不同的测量方式。

量程 1: 1 Hz~1 kHz,采用测周法,由 40 MHz 时钟对输入信号的连续两个上升沿计数,可得出相应周期,然后再换算成频率。在最坏情况下,测量 1 kHz 信号仍可保证至少有 40 000 个计数值。测量最大用时为 1 s。

量程 2: 1~10 kHz,采用测周法,由 40 MHz 时钟对连续 10 个上升沿计数得出相应周期,然后再换算成频率。在最坏情况下,测量 10 kHz 数据仍可保证至少有 40 000 个计数值。测量最大用时为 10 ms。

量程 3: 10~100 kHz,采用测周法,由 40 MHz 时钟对连续 100 个上升沿计数,得出相应周期。然后再换算成频率。在最坏情况下,测量 100 kHz 数据仍可保证至少有 40 000 个计数值。测量最大用时为 10 ms。

量程 4: 大于 100 kHz 且小于 5 MHz,采用测频法,在 1 s 内对输入信号的上升沿固定计数,至少能计数 100 000 个点。测量用时为 1 s。

量程 5: 大于 5 MHz,为了减轻计数器的位宽要求,对输入信号的 128 分频信号进行计数(128 恰好为 2⁷,可以方便地用 7 位计数器实现),此时在 1 s 内能至少计数 39 062 个点。测量用时为 1 s。

按照上述量程划分,在任意一个工作量程内,均可以保证 1 次测量结果计数值至少为 39 062,而相应的计数误差仅为 ± 1 ,即相对误差绝对值不超过 $1/39062$,约合 2.56×10^{-5} ,且最大测量时间为 1 s,符合要求。

此外,设计还支持量程自动切换功能,具体实现方式为:利用本地 40 MHz 时钟域产生定时长度为 1 s 的计数器,在每个定时区间内,记录输入信号的上升沿个数,该数值每 1 s 刷新一次,数值的大小可以直观地表示输入信号的频率,并以此决定当前的工作量程。

可以看到,在该数字测量模块中,对输入信号的上升沿进行检测十分关键,由于该信号相对于本地

时钟是典型的异步信号,如果不作特殊处理,将会导致亚稳态的扩散,甚至影响整个状态机的正常工作^[12]。本设计采用了 3 级 D 寄存器同步处理,这是因为亚稳态出现的概率随时间的增加以指数曲线的形式迅速下降,因此可以通过多级寄存器减轻其影响。一般地,采用 2 级寄存器同步可使亚稳态出现概率降低至 10^{-10} 左右,采用 3 级亚稳态则可使出现亚稳态的概率基本为零,而且同步化后的信号与本地时钟之间的相位关系也得到了保证,对应的电路如图 2 所示(其中本地时钟即为 40 MHz 时钟信号,异步输入为经过放大整形的方波及其 128 分频信号):

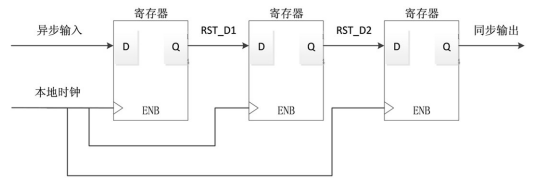


图 2 同步化结构示意图

Fig. 2 Synchronizing strategy architecture

经过同步化后,记该信号为 din ,利用下述 Verilog 代码即可方便地实现对上升沿的检测,并将计数值保存在 $cycle_no$ 变量中。

```
always @ (posedge clk)
begin
    din_d1 <= din;
    din_d2 <= din_d1;
end
always @ (posedge clk)
begin
    if (clr)
        cycle_no <= 27'd0;
    else if (din_d2 == 1'b0 && din_d1 == 1'b1)
        cycle_no <= cycle_no + 1'b1;
end
```

对于 2 路方波的时间间隔测量,其实质就是测量 2 路同源信号的相位差,要求输入信号的频率范围为 1 Hz~1 MHz,最小时间间隔为 $0.1 \mu\text{s}$,且相对误差不大于 10^{-2} ,而对于 $0.1 \mu\text{s}$ 的时间间隔,采用 40 MHz 时钟在 1 个输入信号时钟周期内计数值只能达到 4,相对误差很大。大幅度提高本地时钟频率固然可以减轻该因素影响,但由于电路的动态功耗与频率的二次方成正比,而随着纳米制程可编程芯片的全面应用,动态功耗占据整体功耗的比例越来越高,频率提高导致功耗增加,并将带来散热困难、稳定性下降、布局布线耗时增加甚至失败等

一系列问题,因此该策略的应用范围十分有限.本设计保持了工作频率 40 MHz 不变,转而采用多周期统计求平均的方式减少测量误差,达到设计指标要求.

记 2 路同源信号为 sig_a 和 sig_b,图 3 给出了一种可能的波形示例,此时信号 sig_b 从时间尺度上滞后 sig_a 较少.如果直接测量该间隔,则需要累积许多个信号周期才可以达到所需精度,这会导致测量时间的延长,此时转而测量 sig_a 相对 sig_b 滞后的时间长度,可在较短时间内完成时间间隔的测量.同样地,如果是 sig_a 从时间尺度上滞后 sig_b 较少,则应统计 sig_b 相对 sig_a 滞后的时间长度.

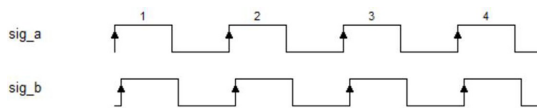


图 3 同源信号相位示意图

Fig. 3 Homogenous signal phase diagram

设计同时使用了 2 个计数器 cnt1 和 cnt2,前者用于记录从 sig_a 上升沿到 sig_b 上升沿的本地时钟计数,后者则记录 sig_b 上升沿到 sig_a 上升沿的本地时钟计数,二者并行工作,直到其中某个计数器的值超过 50 000 为止,并记录对应的输入信号时钟周期个数.然后将计数值换算成真实时间并除以输入信号时钟周期个数即可得到 sig_a 与 sig_b 之间的时间间隔.由于每次测量本地计数值均超过 50 000,相当于对小时间间隔情形采用多周期累积方式求平均,大大减少了测量误差.

另一方面,采用该策略,当输入信号频率为 1 MHz 时,可保证 cnt1 和 cnt2 中总有一个在 1 个完整的输入信号时钟周期内计数值达到 $0.9 \mu\text{s} \times 40 \text{ MHz} = 36$,至多需要 1389 个输入信号时钟周期 = 1.389 ms 就可使计数值达到 50 000 以上,也即每隔 1.389 ms 就可以完成一次时间间隔测量.而当输入信号频率为 100 Hz 时,1 个输入信号时钟周期内即可保证 cnt1 和 cnt2 中有一个计数值超过 50 000,即每隔 10 ms 可以完成一次时间间隔测量,因此,在整个量程范围内的测量时间均优于设计指标要求.

该模块还需要支持方波占空比测量功能,且频率范围为 1 Hz~5 MHz,被测脉冲信号占空比的范围为 10%~90%,显示分辨率为 0.1%,测量相对误差的绝对值不大于 10^{-2} .从原理上讲,仍可以

通过本地 40 MHz 时钟对输入信号的单周期内高电平持续时间进行计数实现,但在最坏情况下,输入信号为 10%,占空比 5 MHz 方波时,其高电平持续时间只有 20 ns,还不足 1 个 40 MHz 时钟周期.为此,一方面需要提高本地时钟,本设计采用了 100 MHz 区域时钟来完成占空比测量,另一方面可采用类似时间间隔测量的思路,使用 2 个计数器(以下记作 cnt1 和 cnt2)分别统计高电平和低电平持续时间,这样可保证每个输入信号周期内总有 1 个计数器计满至少 10 个 100 MHz 时钟周期,然后再通过多输入时钟周期测量减少随机误差.

1.3 异步串行模块设计

该模块的功能相对单纯,用于把数字测量模块的测量数据传输给单片机,采用固定 19 200 bps 波特率即可满足需要,每隔 1 s 启动一次数据传输,数据传输以帧为单位,每帧固定长度为 8 个字节,帧头固定为 AA,帧尾则是校验和字节,可用于检验当前数据帧传输是否正确,并依此实现自动重发纠错机制.

整个异步串行模块共支持 4 种不同数据帧,分别为:周期参数帧,传输内容为输入信号完整周期内的本地时钟计数值;频率参数帧,传输内容为 1 s 时长内输入信号或其 128 分频信号的上升沿计数;时间间隔测量帧,传输内容为输入信号测量周期数及相应的时间间隔本地时钟计数值;占空比参数帧,传输内容为由本地时钟计数值表征的输入信号测量周期及高低电平持续时间.上述 4 种数据帧均具有不同的功能识别码,接收方可以根据识别码不同进行相应的处理.

1.4 辅助模块

辅助模块主要包括全局复位模块和功能切换模块,其中全局复位模块的设计及实现已经十分成熟,不再详述,仅对功能切换模块实现作简要介绍,由于该频率计具有多种测量功能,为此需要采用相应的按键进行功能切换,共 3 种工作模式,分别是测频模式、测时间间隔模式和测占空比模式,只需要采用 3 个独立的物理按键即可实现,为实现可靠的按键检测,在 Verilog 设计中加入了消抖处理.

1.5 单片机及显示程序设计

单片机的作用就是接收 FPGA 传输的各种信息帧,恢复出各种测量关键数据,并进行简单的数据处理,即可得到频率值、时间间隔值和占空比等测量结果,然后送至 LCD 显示器即可.其中频率部分的显示还需要加入自动单位切换,这可以通过判

断频率值的大小并进行缩放的方式实现。

由于单片机仅承担辅助数据处理及显示驱动功能,对性能要求不高,采用最常见的 MCS-51 单片机系列即可,单芯片典型价格仅为 1~2 元,远低于 ARM 架构的各类 32 位 CPU,性价比优势十分突出,本设计选用的具体芯片型号为 STC89C51。

显示模块需要能显示数字、中英文等,因此点阵型 LCD 是较为合适的选择,本设计采用的是 12864 型 LCD,并编写了相应的单片机驱动程序,可支持频率计的各种测量结果显示。

2 实现结果及分析

该频率计的核心是 FPGA 处理模块,采用 Verilog 可综合 HDL 语言完成整个数字测量模块功能,并在 Quartus II 13.0 下通过了综合与布局布线,共占用 769 个 LE,静态时序分析报告 40 MHz 和 100 MHz 时钟域的最高频率分别达到 117.33 MHz 和 131.89 MHz,时序裕量超过 30%。

利用双通道 DDS 信号源对该频率计进行了完整的功能测量,证实可以完成所有指标,而且由于采用了性能优异的运算放大器和差分输出比较器,即使在输入信号幅度小于 10 mV 时仍能正常工作,全频带范围内典型相对误差为 $1.5 \times 10^{-5} \sim 4.5$

$\times 10^{-5}$ 。该误差来源一方面测试计数误差,另一方面则是由于本地晶振固有的误差。为了进一步减少相对误差,可以通过对不同量程的典型测量结果进行误差标定并存储在 FPGA 内部,在实际测量频率时通过二次补偿修正该误差。这也是设计未来的主要改进方向。

3 结论

对低成本多功能自适应数字频率计进行了深入的研究与分析,利用具有大带宽的高速运放 OPA657 和差分电平输出比较器 ADCMP561 实现对输入小信号的无失真放大及整形,由 FPGA 对 LVPECL 差分信号进行接收并完成后续的参数测量,最终通过 LCD 显示测量结果,经专业仪器测试表明实测性能达到设计要求。由于 MCS-51 单片机的引入,该方案较好地解决了 FPGA 难以完成复杂运算的难题,更具工程实用性,与现有的 FPGA 内建软核思路相比,设计制造成本可降低 50%,同时测试精度并未受到影响,设计软硬件划分合理,且所有功能均通过 HDL 编程语言实现,可升级性强,未来还可以进一步添加峰峰值测量、波形变换等功能,具有很强的参考价值。

参考文献:

- [1] 方易圆,邓琛.等精度频率计的 FPGA 设计[J]. 测控技术,2012,31(10):1-4.
FANG Yiyuan, DENG Chen. Design of equal precision frequency meter based on FPGA[J]. Measurement & Control Technology, 2012, 31(10):1-4.
- [2] 董翠英.基于 DSP 的全相位 FFT 频率计设计[J]. 制造业自动化,2012,34(7):138-140.
DONG Cuiying. The all-phase FFT cymometer based on DSP[J]. Manufacturing Automation, 2012, 34(7):138-140.
- [3] 张玲,王靖怡,王永祥.基于 Proteus 的数字频率计的设计与仿真[J]. 自动化与仪器仪表,2016(1):175-176.
ZHANG Ling, WANG Jingyi, WANG Yongxiang. Digital meter design & simulation based on proteus[J]. Automation & Instrumentation, 2016(1):175-176.
- [4] 张良,葛荣骏,张志钊,等.基于 FPGA 和 Nios 系统设计的智能电子测试仪器[J]. 微型机与应用,2016, 35(4):50-54.
ZHANG Liang, GE Rongjun, ZHANG Zhizhao, et al. Design of intelligent electronic test equipment based on FPGA and Nios systems [J]. Microcomputer & Its Applications, 2016, 35(4):50-54.
- [5] 井新宇.基于 SOPC 的 FPGA Nios II 嵌入式等精度频率计设计[J]. 实验室研究与探索,2012,31(6):217-220.
JING Xinyu. Design of an FPGA nios II embedded equal precision frequency meter based on SOPC[J]. Research and Exploration in Laboratory, 2012, 31(6):217-220.
- [6] 许芳,席毅,陈虹,等.基于 FPGA/Nios-II 的矩阵运算硬件加速器设计[J]. 电子测量与仪器学报,2011,25(4):377-383.
XU Fang, XI Yi, CHEN Hong, et al. Design and implementation of matrix hardware acceleration based on FPGA/Nios-II[J]. Journal of Electronic Measurement and Instrument, 2011, 25(4):377-383.
- [7] Altera Corporation. Arria10 FPGA and SoC[EB/OL], <https://www.altera.com/products/fpga/arria-series/arria-10/overview.html>.
- [8] Xilinx Inc. Zynq-7000 All Programmable SoC[EB/OL].<http://www.xilinx.com/products/silicon-evices/soc/zynq-7000.html>.

责任编辑:任长江